

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314018

(43)Date of publication of application : 25.10.2002

(51)Int.Cl. H01L 23/48
H01L 21/60
H01L 21/607
H01L 29/78

(21)Application number : 2001-120309

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.04.2001

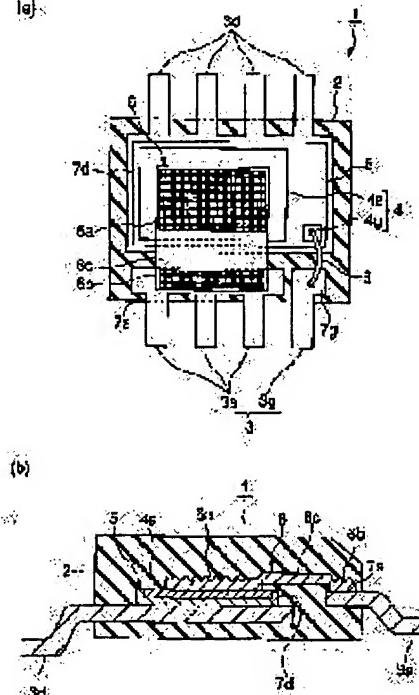
(72)Inventor : FUNATO NORIHIDE
SAWANO HIROSHI
NANBA MASATAKA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a durable semiconductor device that can save power and can be activated, and at the same time, has stable electric performance.

SOLUTION: On a post section 7d of the drain side of a drain-side terminal 3d of a lead frame 3, a semiconductor element 5 is joined while source and gate electrodes 4s and 4g of the semiconductor element turn upward. The gate electrode 4g of the element 5 is electrically connected to a gate-side post section 7g of a gate-side terminal 3g of the frame 3 by a B'g wire (bonding wire) 8. One connection strap 6 made of aluminum is simultaneously and electrically joined by ultrasonic bonding, so that both ends 6a and 6b of the connection strap are brought into direct contact with the electrode 4s and a post section 7s. In this case, the connection strap is formed so that a middle section 6c is spaced from the element 5. The middle section 6c is positioned between the section 6a that is formed into a nearly plate shape, and at the same time, connected to the source electrode 4s, and the section 6b that is connected to the source-side post section 7s.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-314018
(P2002-314018A)

(43)公開日 平成14年10月25日(2002.10.25)

(51) Int.Cl.⁷ 識別記号
 H 0 1 L 23/48 3 2 1
 21/60
 21/607
 29/78 6 5 2

F I		テ-マコ-ト(参考)
H O 1 L	23/48	P 5 F 0 4 4
	21/60	3 2 1 E
	21/607	A
	29/78	6 5 2 Q

審査請求 未請求 請求項の数11 O.L. (全 20 頁)

(21)出願番号 特願2001-120309(P2001-120309)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 船戸 紀秀
兵庫県揖保郡太子町鵜300番地 株式会社
東芝姫路半導体工場内

(72) 発明者 澤野 博志
兵庫県揖保郡太子町鵜300番地 株式会社
東芝姫路半導体工場内

(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

(22)出願日 平成13年4月18日(2001.4.18)

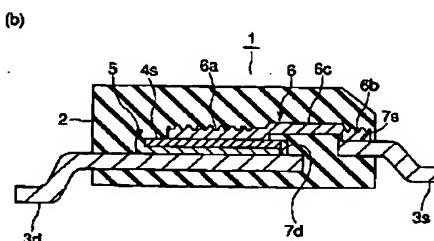
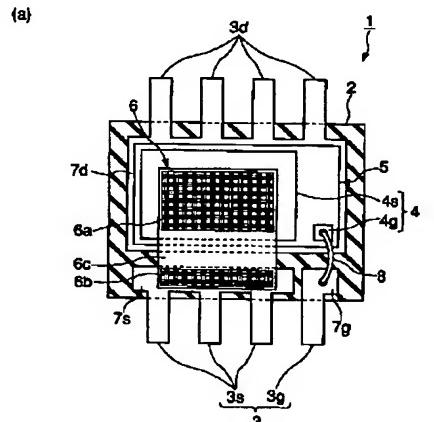
[最終頁に続く](#)

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】省電力で作動可能であるとともに、電気的性能が安定しており、かつ耐久性が高い半導体装置を提供する。

【解決手段】リードフレーム3のドレイン側端子3dのドレイン側ポスト部7dの上に、半導体素子5をそのソース電極4sおよびゲート電極4gが上向きとなる姿勢で接合する。素子5のゲート電極4gとフレーム3のゲート側端子3gのゲート側ポスト部7gとをB'gワイヤ（ボンディングワイヤ）8で電気的に接続する。略板形状に形成されており、かつ、ソース電極4sに接続される部分6aとソース側ポスト部7sに接続される部分6bとの間の中間部6cが、素子5から離間する形状に形成されている1個のアルミニウム製の接続ストラップ6を、その両端部6aおよび6bが、電極4sおよびポスト部7sに直接接触するように、超音波接合により同時に電気的に接合する。



1

【特許請求の範囲】

【請求項1】複数個の電極を有する半導体素子と、複数個のリードフレームと、前記各電極のうちの少なくとも1個の該電極と、前記各リードフレームのうちの少なくとも1個の該リードフレームとを電気的に接続する、略板形状に形成された電流経路部材と、
前記各リードフレーム、前記半導体素子、および前記電流経路部材をパッケージングするハウジングと、
を具備し、前記電流経路部材は、該電流経路部材の前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間する形状に形成されているとともに、前記電極および前記リードフレームのそれぞれに直接接触するように設けられることを特徴とする半導体装置。

【請求項2】前記電流経路部材は、超音波接合によって前記電極および前記リードフレームに直接接觸するよう接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記電極と前記リードフレームとは、複数個の前記電流経路部材によって接続されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記電流経路部材は、その前記中間部が、所定の曲率を有する略アーチ形状に形成されていることを特徴とする請求項1～3のうちのいずれか1項に記載の半導体装置。

【請求項5】前記電流経路部材は、少なくともその前記中間部に、これを厚み方向に沿って貫通するように、前記ハウジングの成型材料である封止樹脂が通過する穴が設けられていることを特徴とする請求項1～4のうちのいずれか1項に記載の半導体装置。

【請求項6】前記電流経路部材は、アルミニウム系の材料によって形成されていることを特徴とする請求項1～5のうちのいずれか1項に記載の半導体装置。

【請求項7】前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極と、前記リードフレームとに接続されていることを特徴とする請求項1～6のうちのいずれか1項に記載の半導体装置。

【請求項8】前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極およびゲート電極と、前記リードフレームとに接続されていることを特徴とする請求項1～6のうちのいずれか1項に記載の半導体装置。

【請求項9】半導体素子が有する複数個の電極のうちの少なくとも1個の該電極、および複数個のリードフレームのうちの少なくとも1個の該リードフレームのそれぞれに、略板形状に形成されているとともに、前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間するような形状に形成された電流経路部材を、直接接觸させるよう

10

20

30

40

50

2

に設けることにより、前記電極および前記リードフレームを電気的に接続することを特徴とする半導体装置の製造方法。

【請求項10】前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームに直接接觸するよう接続することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームのそれぞれに同時に直接接觸するよう接続することを特徴とする請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および半導体装置の製造方法に関し、特に半導体装置が具備する電極として、例えば半導体素子のソース電極とリードフレームとを電気的に接続する電流経路部材、およびこの電流経路部材を用いたソース電極とリードフレームとの接続方法に係る。

【0002】

【従来の技術】近年、多種多様な半導体装置が製品として出荷されているが、その中には、図13に示すように、一般にSOP-8パッケージのMOSFETと呼ばれている半導体装置101がある。以下、半導体装置として、このSOP-8パッケージのMOSFET101（以下、MOSFET101と略称する。）を例にとって説明する。

【0003】MOSFET101は、図13に示すように、その全体の殆どを例えばエポキシ系樹脂などからなる封止樹脂（モールド樹脂）102によって固められて、覆われている。また、このMOSFET101は、SOP-8パッケージという名称の通り、8本のリードフレーム103を有している。各リードフレーム103の一端部は、モールド樹脂102の両側部において4本ずつに分かれて対向するように、モールド樹脂102の外側に露出されている。

【0004】このMOSFET101は、その内部構造の主要部分が、図14(a)および(b)に示すように構成されている。図14(a)は、MOSFET101を図13中X-X線に沿って切断した断面図である。また、図14(b)は、MOSFET101を図13中Y-Y線に沿って切断した断面図である。前記8本のリードフレーム103のうちの片側半分である4本のリードフレーム103は、図14(a)に示すように、モールド樹脂102の内側において4本1組に一体化されて形成されている。この4本1組のリードフレーム103は、図14(a)および(b)の両図に示すように、モールド樹脂102の内側において、半導体素子104のソース電極（ソースパット）104sおよびゲート電極（ゲートパット）104gが設けられている側とは反対

側の端面に電気的に接触するように設けられている。

【0005】また、前記8本のリードフレーム103のうちの残りの片側半分である4本のリードフレーム103は、図14(a)に示すように、モールド樹脂102の内側において、ソース電極104sおよびゲート電極104gを含めた半導体素子104、ならびに前記4本1組のリードフレーム103の両方から、それらに直接接触しないように設けられている。さらに、これら残りの4本のリードフレーム103は、それらのうちの3本が1組に一体化されて形成されるとともに、残りの1本のリードフレーム103は、それら3本1組のリードフレーム103から電気的に切り離されて形成されている。

【0006】以上説明したような内部構造からなるMOSFET101は、一般に、その半導体素子104のソース電極104sと前記3本1組のリードフレーム103とが、アルミニウム(A1)あるいは金(Au)などの導電性を有する金属から形成された複数本のワイヤ105によって電気的に接続されている。同様に、半導体素子104のゲート電極104gと前記1本のリードフレーム103とは、1本のB'gワイヤ(ボンディングワイヤ)106によって電気的に接続されている。

【0007】最近のMOSFET101は、その動作速度の高速化や、あるいは処理能力の向上が図られる一方で、その作動中の消費電力の省電力化、すなわちその作動電圧の低圧化が図られている。つまり、最近のMOSFET101は、より低い電圧でより高い性能を発揮できるように設計されつつある。このような一見相反する2つの課題を克服するために、最近のMOSFET101は、これが有する半導体素子104の回路の微細化が図られるとともに、半導体素子104を含めた装置全体の内部抵抗値(オン抵抗値、Ron値)が低く設定される傾向にある。このような傾向に追従するために、例えばMOSFET101の内部抵抗値を下げるにあたり、前記各ワイヤ105、106自体が有する抵抗値が、半導体素子104を含めたMOSFET101全体の内部抵抗値に及ぼす影響が、もはや無視し得ない大きさになっている。つまり、MOSFET101全体の内部抵抗値に占める各ワイヤ105、106の抵抗値の割合が、もはや無視し得ない大きさになっている。したがって、MOSFET101の内部抵抗値を下げるためには、各ワイヤ105、106の抵抗値を下げる必要が生じている。

【0008】各ワイヤ105、106の抵抗値を下げる方法として、例えば各ワイヤ105、106を形成する金属材料を、アルミニウムや金よりも抵抗値の低い金属に変更する方法がある。しかし、この方法では、使用できる金属の種類が限られているとともに、各ワイヤ105、106の抵抗値の大幅な低下を望むことは略不可能である。つまり、各ワイヤ105、106を形成する金

属をより抵抗値の低い金属に変更することは困難である。ひいては、高性能型のMOSFETである、いわゆるパワーMOSFETの性能を実用上問題の無い水準に維持するとともに、その性能をさらに向上させることは極めて困難である。

【0009】また、各ワイヤ105、106の抵抗値を下げる他の方法として、例えば各ワイヤ105、106の1本ごとの断面積を大きくして、大径化する方法が考えられる。しかし、この方法は、各ワイヤ105、106の1本ごとの径の太さと、それらの取り付け本数との兼ね合いなどの空間的制約や、各ワイヤ105、106間における電気的な短絡などのおそれ、あるいは複数本の各ワイヤ105、106を、限られた小さい面積のソース電極104s、ゲート電極104g、およびリードフレーム103へ取り付ける際の取り付け強度など、様々な点で技術的な困難が伴う。

【0010】このような技術的困難を回避するとともに、MOSFET101の低抵抗化を図るために、例えばゲート電極104gよりも多くの電流(主電流)が流れるソース電極104sとリードフレーム103とを、図15(a)および(b)に示すように、前記複数本のワイヤ105の替わりに、導電性を有する金属によって略平板形状(略帯形状)に形成された電流経路部材(以下、ストラップと称する。)107によって電気的に接続したMOSFET111が開発されている。このMOSFET111においては、ソース電極104sとリードフレーム103とが、略平板形状に形成されたストラップ107によって接続されているので、ソース電極104sとリードフレーム103とが複数本のワイヤ105によって接続されているMOSFET101に比べて、ソース電極104sとリードフレーム103との間の電流経路の断面積が大きくなっている。すなわち、このMOSFET111は、ソース電極104sとリードフレーム103との間の抵抗値が大幅に下げられている。したがって、このMOSFET111は、その装置全体の抵抗値が大幅に下げられている。

【0011】ストラップ107は、一般に、前述した各ワイヤ105、106と同様に、例えば硬化性導電材料や、あるいは半田などの導電性を有する接合材によってソース電極104sおよびリードフレーム103に接続(接合)されている。また、このような構造からなるMOSFET111として、例えば特開2000-11445号公報に開示されている発明の提案がある。

【0012】

【発明が解決しようとする課題】一般に、半導体装置の内部に使用される硬化性導電材料や、半田などの接合材は、温度変化に弱い。一般的な半導体装置の信頼性評価試験の一つとして、MOSFET111を温度差が激しく、かつ急激に温度変化する環境下に配置する、いわゆ

る温度サイクル試験を複数回繰り返し行う。すると、硬化性導電材料や半田の内部、あるいはソース電極104s、リードフレーム103、およびストラップ107のそれと硬化性導電材料や半田との界面付近において、脆化やひび割れ（クラック）などが発生する。したがって、硬化性導電材料や半田などで接合されたストラップ107を有するMOSFET111は、温度変化に対する耐久性が低いことが分かる。

【0013】また、略平板形状に形成されているとともに、硬化性導電材料や半田などでソース電極104sに接合されたストラップ107は、微視的レベルにおいてその電気的接合状態が不安定である。具体的には、ストラップ107は、図15（b）中Zで示す部分、すなわちソース電極104sの外側において、半導体素子（半導体チップ）104の周縁部に接触する、いわゆるチップエッジタッチを起こし易い。これにより、ストラップ107と半導体素子104の周縁部との間で電気的な短絡（ショート）が発生し易い。したがって、このような内部構造を有するMOSFET111は、その電気的性能が不安定であった。具体的には、このMOSFET111は、サンプルとして製作された全体数のうちの18.5%がショート不良（初期ショート不良）を起こしていた。

【0014】よって、本発明の目的は、省電力で作動可能であるとともに、電気的性能が安定しており、かつ耐久性が高い半導体装置、およびそのような性能を有する半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】前記課題を解決するために、本発明に係る半導体装置は、複数個の電極を有する半導体素子と、複数個のリードフレームと、前記各電極のうちの少なくとも1個の該電極と、前記各リードフレームのうちの少なくとも1個の該リードフレームとを電気的に接続する、略板形状に形成された電流経路部材と、前記各リードフレーム、前記半導体素子、および前記電流経路部材をパッケージングするハウジングと、を具備し、前記電流経路部材は、該電流経路部材の前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間する形状に形成されているとともに、前記電極および前記リードフレームのそれぞれに直接接觸するように設けられることを特徴とするものである。

【0016】この半導体装置においては、半導体素子が有する複数個の電極のうちの少なくとも1個の電極と、複数個のリードフレームのうちの少なくとも1個のリードフレームとを電気的に接続する電流経路部材が、略板形状に形成されているとともに、その電極に接続される部分とそのリードフレームに接続される部分との間の中間部が、半導体素子から離間された形状に形成されており、かつ、電極およびリードフレームのそれぞれに直接

10

20

30

40

50

接觸するように設けられる。これにより、半導体素子の電極とリードフレームとの間の電流の流路断面積が拡大されるので、電極とリードフレームとの間における抵抗を下げることができる。また、チップエッジタッチなどによる電気的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれを低減できる。

【0017】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0018】前記電流経路部材は、超音波接合によって前記電極および前記リードフレームに直接接觸するように接続されている。

【0019】前記電極と前記リードフレームとは、複数個の前記電流経路部材によって接続されている。

【0020】前記電流経路部材は、その前記中間部が、所定の曲率を有する略アーチ形状に形成されている。

【0021】前記電流経路部材は、少なくともその前記中間部に、これを厚み方向に沿って貫通するように、前記ハウジングの成型材料である封止樹脂が通過する穴が設けられている。

【0022】前記電流経路部材は、アルミニウム系の材料によって形成されている。

【0023】前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極と、前記リードフレームとに接続されている。

【0024】前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極およびゲート電極と、前記リードフレームとに接続されている。

【0025】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、電流経路部材の形状、接続状態、形成材料、および接続箇所などを、より適正な状態に設定できる。これにより、半導体装置の電極とリードフレームとの間における抵抗をより下げるとともに、電気的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれより低減できる。

【0026】また、前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体素子が有する複数個の電極のうちの少なくとも1個の該電極、および複数個のリードフレームのうちの少なくとも1個の該リードフレームのそれぞれに、略板形状に形成されているとともに、前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間するような形状に形成された電流経路部材を、直接接觸させることにより、前記電極および前記リードフレームを電気的に接続することを特徴とするものである。

【0027】この半導体装置の製造方法においては、略板形状に形成されるとともに、電極に接続される部分とリードフレームに接続される部分との間の中間部が、半導体素子から離間するような形状に形成された電流経路部材を、半導体素子が有する複数個の電極のうちの少なくとも1個の電極、および複数個のリードフレームのうちの少なくとも1個のリードフレームのそれぞれに、直接接触させるように設けることにより、電極およびリードフレームを電気的に接続する。これにより、半導体素子の電極とリードフレームとの間の電流の流路断面積を拡大して、電極とリードフレームとの間における抵抗を下げるができる。また、チップエッジタッチなどによる電気的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれを低減できる。

【0028】また、本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以下に述べるような設定としても構わない。

【0029】前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームに直接接觸するように接続する。

【0030】前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームのそれぞれに同時に直接接觸するように接続する。

【0031】本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、電流経路部材の形状、接続状態、形成材料、および接続箇所などを、より適正な状態に設定できる。これにより、半導体装置の電極とリードフレームとの間における抵抗をより下げることができるとともに、電気的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれをより低減できる。

【0032】

【発明の実施の形態】（第1の実施の形態）以下、本発明の第1の実施の形態に係る半導体装置、および本発明の第1の実施の形態に係る半導体装置の製造方法を、図1～図7に基づいて説明する。

【0033】先ず、この第1実施形態の半導体装置1について、図1～図5を参照しつつ説明する。

【0034】本実施形態の半導体装置1は、複数個の電極4を有する半導体素子5と、複数個のリードフレーム3と、各電極4のうちの少なくとも1個の電極4と、各リードフレーム3のうちの少なくとも1個のリードフレーム3とを電気的に接続する、略板形状に形成された電流経路部材6と、各リードフレーム3、半導体素子5、および電流経路部材6をパッケージングするハウジング2と、を具備し、電流経路部材6は、その電極4に接続される部分6aとリードフレーム3に接続される部分6

bとの間の中間部6cが、半導体素子5から離間する形状に形成されているとともに、電極4およびリードフレーム3のそれぞれに直接接觸するように設けられることを前提とし、以下に述べる特徴を備えるものとする。

【0035】電流経路部材6は、半導体装置1の配線としてのリードフレーム3、および電極4のそれぞれに、超音波接合によって直接接觸するように接続されている。電流経路部材6は、アルミニウム系の材料によって形成されている。電流経路部材6は、半導体素子3が有する電極4のうちの少なくともソース電極4sと、リードフレーム3とに接続されている。このように、電流経路部材6は、半導体装置1の配線の一部を構成している。

【0036】以上述べたような特徴を備えた本実施形態の半導体装置1として、以下の説明において、図1に示すように、一般的なSOP-8パッケージのMOSFET（パワーMOSFET）1を用いて説明する。

【0037】MOSFET1は、図1に示すように、その全体の殆どを例えばエポキシ系樹脂などからなる封止樹脂（モールド樹脂）によって固められて形成されたハウジング2によって覆われている。また、このMOSFET1は、SOP-8パッケージという名称の通り、8つの端子を有するリードフレーム3を備えている。各リードフレーム3の端子は、ハウジング2の両側部において4本ずつに分かれて対向するように、ハウジング2の外側に露出されている。ただし、図1においては、リードフレーム3が有する8つの端子のうち、5本のみを図示し、残りの3本はそれらの図示を省略する。

【0038】このMOSFET1は、その内部構造の主要部分が、図2(a)および(b)に示すように構成されている。図2(a)は、MOSFET1を図1中A-A線に沿って切断した断面図である。また、図2(b)は、MOSFET1を図1中B-B線に沿って切断した断面図である。

【0039】前記8本のリードフレーム3の端子うちの片側半分である4本の端子は、図2(a)に示すように、ハウジング2の内側において4本1組に一体化されて形成されている。この4本1組のリードフレーム3の端子は、図2(a)および(b)の両図に示すように、ハウジング2の内側において、半導体素子（半導体チップ）5のソース電極（ソースパット）4sおよびゲート電極（ゲートパット）4gが設けられている側とは反対側の端面において、図示しないドレイン電極（ドレインパット）に電気的に接觸するように設けられている。つまり、これら4本1組のリードフレーム3の端子は、リードフレーム3のドレイン側端子3dとして形成されている。これら各ドレイン側端子3dは、4本1組に一体化されて略平板形状に形成されているドレイン側ポスト部7dにおいて、ドレイン電極4dと面接觸するように配置されている。半導体素子5とリードフレーム3のド

レイン側端子3 dとは、それぞれのドレイン電極とドレイン側ポスト部7 dとが、図示しない硬化性導電材料や、あるいは半田などの導電性を有する接合材によって電気的に接続されることにより、互いに電気的に接触した状態で固定される。

【0040】また、前記8本のリードフレーム3の端子のうちの残りの片側半分である、4本のリードフレーム3の端子は、図2(a)に示すように、ハウジング2の内側において、ソース電極4 sおよびゲート電極4 gを含めた半導体素子5に直接接触しないように設けられている。それとともに、それら残りの4本のリードフレーム3の端子は、4本のドレイン側端子3 dおよびそれらのドレイン側ポスト部7 dを含めたリードフレーム3両方から、電気的に切り離されて設けられている。さらに、これら残りの4本のリードフレーム3の端子は、それらのうちの3本が1組に一体化されて形成されているとともに、残りの1本のリードフレーム3の端子は、それら3本1組のリードフレーム3の端子から電気的に切り離されて形成されている。

【0041】3本1組のリードフレーム3の端子は、後述する電流経路部材6によって、半導体素子5のソース電極4 sに電気的に接続される。つまり、これら3本1組のリードフレーム3の端子は、リードフレーム3のソース側端子3 sとして形成されている。これら各ソース側端子3 sは、3本1組に一体化されて略平板形状に形成されているソース側ポスト部7 sにおいて、電流経路部材6を介して、ソース電極4 sと電気的に接続されるように配置されている。また、残りの1本のリードフレーム3の端子は、1本のB' gワイヤ(ボンディングワイヤ)8によって、半導体素子5のゲート電極4 gに電気的に接続される。つまり、この1本のリードフレーム3の端子は、リードフレーム3のゲート側端子3 gとして形成されている。このゲート側端子3 gは、略平板形状に形成されているゲート側ポスト部7 gにおいて、B' gワイヤ8を介して、ゲート電極4 gと電気的に接続されるように配置されている。

【0042】すなわち、本実施形態の半導体装置としてのMOSFET 1は、実質的に3個のリードフレーム3を具備しているとともに、このMOSFET 1が具備する半導体装置5が3個の電極4を有している。また、このMOSFET 1は、3個のリードフレーム3のうちの1個である各ソース側端子3 sと、3個の電極4のうちの1個であるソース電極4 sとが、電流経路部材6を介して選択的に、かつ電気的に接続される。

【0043】電流経路部材6は、本実施形態においては、図2(a)および(b)の両図に示すように、そのソース電極4 sに接続されている部分である電極側接続部分6 aが、ソース電極4 sに面接触するように形成されている。それとともに、電流経路部材6は、そのリードフレーム3の各ソース側端子3 sのソース側ポスト部

7 sに接続されている部分であるリードフレーム側接続部分6 bが、ソース側ポスト部7 sに面接触するように形成されている。このような形状に形成されている本実施形態の電流経路部材6を、以下の説明においては接続ストラップ6と称する。この接続ストラップ6は、その電極側接続部分6 aがソース電極4 sだけで半導体素子5に面接触するように、その電極側接続部分6 aとリードフレーム側接続部分6 bとの間の中間部(ビーム部)6 cが、半導体素子5から遠ざかるような、離間された形状に形成されている。これにより、このMOSFET 1は、チップエッジタッチによる電気的短絡を起こすおそれがない。

【0044】また、本実施形態の接続ストラップ6は、ソース電極4 sおよびリードフレーム3の各ソース側端子3 sのソース側ポスト部7 sの両方に、それぞれ直接接觸するように、超音波接合によって同時に接続されている。

【0045】以上説明した形状からなる接続ストラップ6を有するMOSFET 1は、半導体素子5のソース電極4 sとリードフレーム3の各ソース側端子3 sのソース側ポスト部7 sとの間を流れる電流の流路断面積が、従来技術のMOSFET 101が有する複数本のボンディングワイヤ105を流れる電流の流路断面積の合計に比べて大幅に拡大されている。これにより、MOSFET 1は、そのソース電極4 sとリードフレーム3との間における抵抗値が、従来技術のMOSFET 101に比べて大幅に下げられている。

【0046】具体的には、本実施形態のMOSFET 1は、その半導体素子(半導体チップ)5のチップサイズが、3.79(mm)×2.65(mm)に形成されている。また、接続ストラップ6は、その幅が2.0(mm)の大きさに、かつその厚さが0.1(mm)の大きさにそれぞれ形成されている。さらに、本実施形態の接続ストラップ6は、導電性金属であるアルミニウム系の材料として、アルミニウム(A1)によって形成されており、A1ストラップ6とも称する。これに対して、従来技術のMOSFET 101は、その図示しない半導体素子5のチップサイズが、3.79(mm)×2.65(mm)と本実施形態のMOSFET 1と同じ大きさであるが、その図示しないソース電極とリードフレームとが直径60(μm)の金(Au)製の10本のB' gワイヤ(ボンディングワイヤ)105によって電気的に接続(Auボンディング)されている。

【0047】本発明の発明者達が行った抵抗値の測定実験によれば、前述したような構造からなる従来技術のMOSFET 101は、その所定の電圧値に対するオン抵抗値(内部抵抗値、Ron値)の平均値が、図3のグラフ中に破線で示されているような傾向を示す。これに対して、同じく前述した構造からなる本実施形態のMOSFET 1は、その所定の電圧値に対するオン抵抗値の平均値が、図3のグラフ中に実線で示されているような傾向

11

を示す。また、本実施形態のMOSFET 1、および従来技術のMOSFET 101は、それらの図示しないシリコン基板（ペレット）の部分における、所定の電圧値に対する抵抗値の平均値が、図3のグラフ中に一点鎖線で示されているような傾向を示す。図3のグラフに示されているように、従来技術のMOSFET 101、本実施形態のMOSFET 1、ならびに本実施形態のMOSFET 1および従来技術のMOSFET 101のそれぞれのシリコン基板の各抵抗値は、それらの絶対値が異なるだけで、それらに印加される電圧値の大きさに対して、略同じ傾きで変化する。このように、前述した従来技術のMOSFET 101、本実施形態のMOSFET 1、ならびに本実施形態のMOSFET 1および従来技術のMOSFET 101の各シリコン基板の、それぞれの所定の電圧値に対する抵抗値は、図3のグラフにおいて、前記絶対値の差だけ互いに平行移動させた結果として示されるので、それらの間隔を比較することにより、それらの抵抗値の大小が分かる。

【0048】従来技術のMOSFET 101全体のオン抵抗値と、本実施形態のMOSFET 1全体のオン抵抗値との差は、図3のグラフにおいて一点鎖線矢印で示されている範囲Jの大きさで略一定している。また、本実施形態のMOSFET 1全体のオン抵抗値と、本実施形態のMOSFET 1のシリコン基板の抵抗値との差は、図3のグラフにおいて実線矢印で示されている範囲Kの大きさで略一定している。これらから、従来技術のMOSFET 101の10本のボンディングワイヤ105の配線抵抗値の合計の大きさと、本実施形態のMOSFET 1が具備している接続ストラップ（A1ストラップ）6の配線抵抗値の大きさとの差は、図3のグラフにおいて破線矢印で示されている範囲Lの大きさで略一定していることが分かる。

【0049】以上説明したように、本発明の発明者達が行った抵抗値の測定実験結果を示す図3のグラフによれば、本実施形態のMOSFET 1の接続ストラップ（A1ストラップ）6における配線抵抗値は、これに印加される電圧値の大きさに拘らず、従来技術のMOSFET 101の10本のボンディングワイヤ105の配線抵抗値の合計の大きさに比較して、約80%も大幅に低減されていることが分かる。すなわち、本実施形態のMOSFET 1においては、A1ストラップ6の配線抵抗値がMOSFET 1全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0050】また、本実施形態のMOSFET 1が備える接続ストラップ（A1ストラップ）6の厚さおよび幅の大きさに対する抵抗値の依存性は、図4（a）および（b）の両グラフ中において、それぞれ実線で表されるような傾向を示す。それらのような傾向を示す接続ストラップ6によれば、この接続ストラップ6が形成される際の厚さおよび幅の加工寸法の誤差は、前述した寸法か

10

12

らなる半導体素子5を具備しているMOSFET 1の電気的性能を実用上殆ど妨げるおそれがない。すなわち、本実施形態の接続ストラップ6は、MOSFET 1の動作速度を妨げることなく、その電気的性能を実用上高い水準に維持できる。

【0051】さらに、本実施形態の接続ストラップ6は、半導体素子5のソース電極4s、およびリードフレーム3の各ソース側端子3sのソース側ポスト部7sのそれぞれに、図示しない硬化性導電材料や、あるいは半田などを介すことなく、超音波接合によって直接接触するように接続（固定）されている。これにより、MOSFET 1は、硬化性導電材料や半田の内部、あるいは半導体素子5のソース電極4s、リードフレーム3の各ソース側端子3sのソース側ポスト部7s、および接続ストラップ6のそれぞれと硬化性導電材料や半田との界面付近において、温度変化などの外的環境の変化によって脆化やひび割れ（クラック）などが発生するおそれが殆ど無い。したがって、半導体素子5のソース電極4s、およびリードフレーム3の各ソース側端子3sのソース側ポスト部7sのそれぞれに、超音波接合によって直接接觸するように接続された接続ストラップ6を備えるMOSFET 1は、温度変化などの外的環境の変化に対する耐久性、すなわちその電気的動作性能の信頼性が高い。

【0052】具体的には、前述した接続ストラップ（A1ストラップ）6を備える本発明に係るMOSFET 1（提案デザイン）と、前述したようにソース電極とリードフレームとが直径60(μm)の金（Au）製の10本のB'gワイヤによってAuボンディングされている従来技術に係るMOSFET（従来品A）101と、本提案デザインのMOSFET 1と若干異なり、図示しない銅（Cu）製の接続ストラップを、半田を用いて図示しない半導体素子のソース電極に接合した従来技術に係るMOSFET（従来品B）とを、それぞれ-40℃～150℃まで複数回、具体的には連続100回～400回まで回数を100回ずつ増やしつつ、大幅かつ急激に温度変化させる温度サイクルテストにかけて、それぞれの温度変化に対する耐久性、すなわちそれらの電気的動作性能の信頼性を評価する試験を行った。すると、図5のグラフに示すような結果を得ることができた。

【0053】本提案デザインのMOSFET 1は、図5のグラフ中白丸および実線で示されるように、その試験回数に拘らず、前述したように脆化やひび割れ（クラック）などが発生する不良品の発生率は0%であった。同様に、Auボンディングを備える従来品Aとしての従来技術に係るMOSFET 101も、図5のグラフ中菱形および実線で示されるように、その試験回数に拘らず、前述したように脆化やひび割れ（クラック）などが発生する不良品の発生率が0%であった。これらに対して、半田接合されたCuストラップを備える従来品Bとして

50

の従来技術に係るMOSFETは、図5のグラフ中四角および実線で示されるように、その試験回数が増える毎に、その不良品の発生率が上昇していった。

【0054】以上説明したように、本発明に係る本実施形態のMOSFET 1は、Auボンディングを備える従来品Aとしての従来技術に係るMOSFET 101と比較すると、そのAIストラップ6部分における配線抵抗値が約80%も大幅に低減されており、MOSFET 1全体のオン抵抗値に与える影響が極めて低くなっている。それとともに、MOSFET 1は、急激な温度変化に拘らず、このような外敵環境の変化に対する耐久性、すなわちその電気的動作性能の信頼性が全く損なわれることなく安定しており、AIストラップ6と同じような形状で、かつ半田接合されたCuストラップを備える従来品Bとしての従来技術に係るMOSFETと比較すると、その温度変化に対する耐久性、すなわち電気的動作性能の信頼性が極めてよい。

【0055】また、本実施形態のMOSFET 1は、AIストラップ6が1回の超音波接合によってソース電極4 sおよびソース側ポスト部7 s同時に接合されているので、これらの接合部分における接合強度を略同等の強さに容易に設定できる。これにより、これらの接合部分に温度変化などの外的環境の変化や、金属疲労などが生じても、それらの付加を均等に分散できる。したがって、本実施形態のMOSFET 1によれば、AIストラップ6のソース電極4 sおよびソース側ポスト部7 sへの接合部分における耐久性を向上できる。

【0056】したがって、本発明に係る本実施形態のMOSFET 1は、省電力で高速に作動可能であるとともに、電気的動作性能を安定して発揮することができ、かつ耐久性が高く長寿命である。

【0057】次に、以上説明したMOSFET 1を製造する際に適用する、本発明の第1の実施の形態に係る半導体装置の製造方法について、図6および図7を参照しつつ説明する。

【0058】本実施形態の半導体装置の製造方法は、半導体素子5が有する複数個の電極4のうちの少なくとも1個の電極4、および複数個のリードフレーム3のうちの少なくとも1個のリードフレーム3のそれぞれに、略板形状に形成されているとともに、電極4に接続される部分6 aとリードフレーム3に接続される部分6 bとの間の中間部6 cが、半導体素子5から離間するような形状に形成された電流経路部材6を直接接触させるように設けることにより、電極4およびリードフレーム3を電気的に接続することを前提とし、以下に述べる特徴を備えるものとする。

【0059】電流経路部材6を、超音波接合によって、電極4およびリードフレーム3のそれぞれに同時に直接接続するように接続する。電流経路部材6を、アルミニウム系の材料によって形成する。

【0060】先ず、図6(a)～(e)に示すように、所望する大きさおよび形状の接続ストラップ6を製造する。具体的には、予め薄肉の板形状に圧延された、接続ストラップ6の材料となるアルミニウム製の板材9を、例えば図6(a)に示すような切断装置10によって、所定の大きさ(長さ)に切り出す。切断装置10は、アルミニウム製の板材9を切断するロータリーカッター11と、アルミニウム製の板材9を搬送するベルトコンベア12などから構成されている。ベルトコンベア12は、図6(a)中破線矢印で示す向きに回転しており、アルミニウム製の板材9は、このベルトコンベア12によって、図6(a)中白抜き矢印で示す向きに搬送される。ロータリーカッター11は、ベルトコンベア12の終端部に近接して配設されており、図6(a)中実線矢印で示す向きに回転している。ロータリーカッター11は、回転する2枚の刃部11aを有しており、これらの刃部11aによってベルトコンベア12の終端部まで搬送されてきたアルミニウム製の板材9を、図6(b)に示すように、所定の大きさに切り出す(カットする)。

【0061】所定の大きさに切り出されたアルミニウム製の板材9は、図示しない成型装置によって、その側面視が図6(c)に示すように、その中間部6cが電極側接続部分6aおよびリードフレーム側接続部分6bに対して凸形状に突出した所定の形状に成型(フォーミング)される。すなわち、所定の大きさに切り出されたアルミニウム製の板材9は、成型装置によって前述したMOSFET 1に用いられる所定の形状の接続ストラップ6として成型される。なお、成型装置が備える成型用の型を交換することにより、所定の大きさに切り出されたアルミニウム製の板材9を、図6(d)や、あるいは図6(e)に示すように、様々な形状の接続ストラップ13、14に成型できる。

【0062】次に、以上説明したように所定の形状に成型された接続ストラップ6を、半導体素子5のソース電極4 s、およびリードフレーム3の各ソース側端子3 sのソース側ポスト部7 sのそれぞれに接続する。接続ストラップ6を、例えば図7(a)に示すような接合治具としての接合ホーン15によって支持する。接合ホーン15の内部には、複数本の吸引孔16が設けられており、接続ストラップ6を図7(a)中実線矢印で示す向きに真空吸引して支持できる。この接合ホーン15の接続ストラップ6と接触する側の端面には、滑り止めの凹凸が複数個設けられている。

【0063】MOSFET 1のリードフレーム3のドレイン側端子3 d、ソース側端子3 s、およびゲート側端子3 g(図7(a)～(c)において図示せず。)は、それぞれ図7(b)に示すように、接合台17上の所定の位置に予め配置されている。また、半導体素子5は、そのソース電極4 sが上を向かされた姿勢で、リードフレーム3のドレイン側端子3 dのドレイン側ポスト部7

dに硬化性導電材料、または半田を用いて予め接合されている（マウントされている）。このような配置状態の半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれに、接合ホーン15によって支持された接続ストラップ6を接合する。接合ホーン15には、図示しない超音波発生装置が接続されている。この超音波発生装置が発生可能な超音波の最高周波数は、約60kHz程度であるが、通常の使用においては、周波数が約38kHzの超音波を発生する。このような超音波を発生させることにより、接合ホーン15は、半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれに、接続ストラップ6を超音波接合することができます。

【0064】接続ストラップ6を支持した状態のまま、接合ホーン15を半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれに、それらの上方から接近させる。接続ストラップ6の位置が適正な接合位置にあることを確認した後、接続ストラップ6を接合ホーン15で支持した状態のまま、半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれに、それらの上方から同時に直接接觸させる。この接觸状態を保持しつつ、図7 (b) に示すように、接合ホーン15の超音波発生装置を作動させて、接続ストラップ6の電極側接続部分6 aを半導体素子5のソース電極4 sに、また接続ストラップ6のリードフレーム側接続部分6 bをリードフレーム3のソース側端子3 sのソース側ポスト部7 sに、それぞれ直接かつ同時に超音波接合する。

【0065】図7 (c) に示すように、接続ストラップ6の超音波接合が終了した後、図示は省略するが、半導体素子5のゲート電極4 gとリードフレーム3のゲート側端子3 sのゲート側ポスト部7 gとを、アルミニウムや、あるいは金などの導電性を有する金属から形成されているB' gワイヤ8によって電気的に接続する。このB' gワイヤ8の接続は、接続ストラップ6と同様に超音波接合でもよいし、また硬化性導電材料や、あるいは半田などを用いてもよい。統けて、以上説明したように、接続ストラップ6によって電気的に接続された半導体素子5およびリードフレーム3と、B' gワイヤ8などを、それらの周りから覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂（モールド樹脂）によってパッケージングしてハウジング2内に包み込む。ハウジング2を所定の形状に成型した後、リードフレーム3を所定の長さにリードカットして、所望する半導体装置としてのSOP-8パッケージのMOSFET（パワーMOSFET）1を得ることができる。

【0066】以上説明した本発明の第1実施形態に係る半導体装置の製造方法によれば、硬化性導電材料や半田

などを用いることなく、半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれに、略板形状に形成された接続ストラップ6を直接接觸させて、かつ同時に超音波接合できる。したがって、本実施形態の半導体装置の製造方法によれば、ソース電極4 sとソース側ポスト部7 sとの間の抵抗値、ひいては装置全体のオン抵抗値（内部抵抗値）が低く、省電力で高速に作動可能であるとともに、温度変化などの外的環境の変化に対する耐久性、すなわちその電気的動作性能の信頼性が高く、安定した電気的動作性能を発揮できるMOSFET1を製造できる。

【0067】また、本実施形態の半導体装置の製造方法によれば、半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sのそれぞれと、接続ストラップ6とを同時に超音波接合するので、その接合効率、ひいてはMOSFET1全体の製造（生産）効率（インデックス）を向上できる。すなわち、MOSFET1の生産に掛かる時間を短縮できる。

【0068】具体的には、本発明の発明者達が行った試験的生産実験によれば、本実施形態の半導体装置の製造方法によって前述したA1ストラップ6を備えるMOSFET1を1個（1パッケージ）を製造するのに要した製造時間は、従来技術に係る半導体装置の製造方法によって前述したAuボンディングを備える従来品Aとしての従来技術に係るMOSFET101を1個（1パッケージ）を製造するのに要した製造時間に比較すると、図示しない生産装置1台当たり約4割も短縮されていた。

30 この実験結果から、本実施形態の半導体装置の製造方法によって、例えばA1ストラップ6を備えるMOSFET1を大量生産する場合には、その生産個数が多いほど、MOSFET1の1個当たりの製造コスト、すなわちMOSFET1の1個当たりの単価を下げることができ、半導体市場における価格競争を有利に展開できる。

【0069】また、従来品Aとしての従来技術に係るMOSFET101は、これを製造するに当たり、直径60 (μm)の10本のB' gワイヤからなるAuボンディングを、ソース電極4 sおよびソース側ポスト部7 sにすべて適正な状態で接続しなければならない。これに対して、本実施形態の半導体装置の製造方法によってMOSFET1を製造する場合、幅が2.0 (mm)、かつ厚さが0.1 (mm)の大きさにそれぞれ形成されているA1ストラップ6を1回の超音波接合によってソース電極4 sおよびソース側ポスト部7 sに同時に接合できる。したがって、本実施形態の半導体装置の製造方法によれば、MOSFET1を製造する際のA1ストラップ6の接続不良の発生率を、10本のB' gワイヤからなるAuボンディングの接続不良の発生率に対して、単純に計算して10分

の1に低減できる。すなわち、本実施形態の半導体装置の製造方法によれば、MOSFET 1の歩留まりを、従来の半導体装置の製造方法に比較して大幅に向かう。これにより、前述したMOSFET 1の生産にかかる時間を短縮できるのと同様に、MOSFET 1全体の生産効率（インデックス）を大幅に向かう。

【0070】さらに、本実施形態の半導体装置の製造方法によれば、A1ストラップ6を1回の超音波接合によってソース電極4sおよびソース側ポスト部7sに同時に接合するので、これらの接合部分における接合強度を略同等の強さに容易に設定できる。これにより、これらの接合部分に温度変化などの外的環境の変化や、金属疲労などが生じても、それらの付加を均等に分散できる。したがって、本実施形態の半導体装置の製造方法によれば、A1ストラップ6のソース電極4sおよびソース側ポスト部7sへの接合部分における耐久性を向上できる。

【0071】（第2の実施の形態）次に、本発明の第2の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0072】この第2実施形態の半導体装置21、および半導体装置の製造方法は、半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sに接続される電流経路部材22の大きさおよび形状、ならびに個数が、前述した第1実施形態の電流経路部材6の大きさおよび形状、ならびに個数と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0073】本実施形態の半導体装置としてのMOSFET 21は、図8に示すように、これが具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、複数個、具体的には3個の長尺の略板（帯）形状に形成されたアルミニウム製の電流経路部材としての接続ストラップ（A1ストラップ）22によって電気的に接続されている。

【0074】また、本実施形態の半導体装置の製造方法は、MOSFET 21が具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとを、長尺の板形状に形成された3個のアルミニウム製の接続ストラップ22を用いて、超音波接合によって電気的に接続する。この際、各接続ストラップ22の電極側接続部分22aを半導体素子5のソース電極4sに、また各接続ストラップ22のリードフレーム側接続部分22bをリードフレーム3のソース側端子3sのソース側ポスト部7sに、それぞれ直接かつ同時に超音波接合する。

【0075】この第2実施形態の半導体装置21、およ

び半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子5のソース電極4sとリードフレーム3のソース側端子3sのソース側ポスト部7sとが、長尺の略板形状に形成された複数個の電流経路部材22によって接続されている本実施形態の半導体装置21、およびこの半導体装置21を製造する半導体装置の製造方法は、以下の点で優れている。

【0076】本実施形態の半導体装置としてのMOSFET 21においては、半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、長尺の略板形状に形成された3個のアルミニウム製の接続ストラップ22によって電気的に接続されているので、ソース電極4sとソース側ポスト部7sとの間を流れる電流の流量を殆ど損なうこと無く、接続ストラップ22に使われるアルミニウムなどの材料の使用量を低減できる。したがって、本実施形態のMOSFET 21は、その電気的動作性能がより高く、かつ、より低コストである。また、本実施形態の半導体装置の製造方法によれば、電気的動作性能がより高いMOSFET 21をより低コストで生産できる。

【0077】また、3個のアルミニウム製の接続ストラップ22は、それらの大きさ、形状、個数、および配置位置などが、ソース電極4sとソース側ポスト部7sとの間の導電性を大きく妨げない程度に設定されて形成される。具体的には、これら3個の接続ストラップ22は、それらの配線抵抗値の合計の大きさが、前述した第1実施形態の接続ストラップ6の配線抵抗値と略同等の大きさを保持できるように設定される。すなわち、実質的に第1実施形態の接続ストラップ6を3個に分割して形成された本実施形態の接続ストラップ22は、それらの配線抵抗値の合計の大きさが、第1実施形態の接続ストラップ6の配線抵抗値の大きさと同様に、従来品Aとしての従来技術のAuボンディングを有するMOSFET 101の配線抵抗値と比較して、約80%も大幅に低減されている。つまり、本実施形態のMOSFET 21においても、3個の接続ストラップ22の配線抵抗値の合計の大きさが、MOSFET 21全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0078】（第3の実施の形態）次に、本発明の第3の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0079】この第3実施形態の半導体装置31、および半導体装置の製造方法は、半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sのみならず、半導体素子5のゲート電極4g、およびリードフレーム3のゲート側端子3gのゲート側ポスト部7gも長尺の略板形状に形成されている1個の電流経路部材32によって電気的に接続され

ている点が、前述した第1実施形態の半導体装置1と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なる部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0080】本実施形態の半導体装置としてのMOSFET31は、図9に示すように、これが具備する半導体素子5のゲート電極4gと、リードフレーム3のゲート側端子3gのゲート側ポスト部7gとが、長尺の略板形状に形成された1個のアルミニウム製の電流経路部材としての接続ストラップ(A1ストラップ)32によって電気的に接続されている。

【0081】また、本実施形態の半導体装置の製造方法は、MOSFET31が具備する半導体素子5のゲート電極4gと、リードフレーム3のゲート側端子3gのゲート側ポスト部7gとを、長尺の略板形状に形成された1個のアルミニウム製の接続ストラップ32を用いて、超音波接合によって電気的に接続する。この際、接続ストラップ32の電極側接続部分32aを半導体素子5のゲート電極4gに、また接続ストラップ32のリードフレーム側接続部分32bをリードフレーム3のゲート側端子3gのソース側ポスト部7gに、それぞれ直接かつ同時に超音波接合する。

【0082】この第3実施形態の半導体装置31、および半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子5のゲート電極4gとリードフレーム3のゲート側端子3gのゲート側ポスト部7gとが、長尺の略板形状に形成された1個の電流経路部材32によって接続されている本実施形態の半導体装置31、およびこの半導体装置31を製造する半導体装置の製造方法は、以下の点で優れている。

【0083】本実施形態の半導体装置としてのMOSFET31においては、半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、略板形状に形成されたアルミニウム製の接続ストラップ6によって電気的に接続されているのみならず、半導体素子5のゲート電極4gと、リードフレーム3のゲート側端子3gのゲート側ポスト部7gとが、長尺の略板形状に形成された1個のアルミニウム製の接続ストラップ32によって電気的に接続されている。これにより、半導体素子5とリードフレーム3との間を流れる電流の流量を、より多く設定することができる。したがって、本実施形態の半導体装置としてのMOSFET31は、その電気的動作性能がさらに向上されている。また、本実施形態の半導体装置の製造方法によれば、電気的動作性能がさらに高いMOSFET31を生産できる。

【0084】(第4の実施の形態) 次に、本発明の第4

の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0085】この第4実施形態の半導体装置41、および半導体装置の製造方法は、半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sに接続される電流経路部材42の形状が、前述した第1実施形態の電流経路部材6の形状と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なる部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0086】本実施形態の半導体装置としてのMOSFET41は、図10に示すように、これが具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとに接続される、アルミニウム製の電流経路部材としての接続ストラップ(A1ストラップ)42の、電極側接続部分42aとリードフレーム側接続部分42bとの間の中間部(ビーム部)42cが、所定の曲率を有する略アーチ形状に形成されている。具体的には、接続ストラップ42は、図10中Cで示すその厚さが、約0.1(mm)の大きさに形成されている。それとともに、接続ストラップ42は、図10中Dで示すその中間部42cの間隔が、約0.6(mm)の大きさに形成されている。このような形状からなる接続ストラップ42において、その中間部42cは、その側面視において、滑らかな半円形状の円弧を描くような略アーチ形状に形成されている。

【0087】本実施形態の半導体装置の製造方法によれば、この接続ストラップ42は、図6(c)で示したように、前述した第1実施形態の接続ストラップ6を形成する工程において、接続ストラップを成型する型を交換するだけで、所定の長さに切り出されたアルミニウム製の板材9から容易に形成することができる。

【0088】また、本実施形態の半導体装置の製造方法によれば、この接続ストラップ42も、その電極側接続部分42aとリードフレーム側接続部分42bとが、超音波接合によって半導体素子5のソース電極4s、およびリードフレーム側接続部分22bをリードフレーム3のソース側端子3sのソース側ポスト部7sに、それぞれ直接かつ同時に電気的に接続される。

【0089】この第4実施形態の半導体装置41、および半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子5のソース電極4sとリードフレーム3のソース側端子3sのソース側ポスト部7sとが、中間部(ビーム部)42cが所定の曲率を有する略アーチ形状に形成されている電流経路部材42によって接続されている本実施形態の半導体装置41、およびこの半導体装置41を製造する半導体装

置の製造方法は、以下の点で優れている。

【0090】本実施形態の半導体装置としてのMOSFET 41においては、半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、前述したような滑らかな半円形状の円弧を描くような略アーチ形状に形成されている中間部42cを有する電流経路部材としての接続ストラップ42によって接続されている。これにより、接続ストラップ42の電極側接続部分42aと半導体素子5のソース電極4sの周縁部との間において、チップエッジタッチなどによる電気的短絡を起こすおそれのがより低減されている。したがって、本実施形態のMOSFET 41は、その電気的動作性能がより安定している。また、本実施形態の半導体装置の製造方法によれば、電気的動作性能がより安定しているMOSFET 41を生産できる。

【0091】(第5の実施の形態) 次に、本発明の第5の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0092】この第5実施形態の半導体装置51、および半導体装置の製造方法は、半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sに接続される電流経路部材52の形状が、前述した第1実施形態の電流経路部材6の形状と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0093】本実施形態の半導体装置としてのMOSFET 51は、図11(a)および(b)に示すように、これが具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとに接続される、アルミニウム製の電流経路部材としての接続ストラップ(A1ストラップ)52の、電極側接続部分52aとリードフレーム側接続部分52bとの間の中間部(ビーム部)52cに、この接続ストラップ52をその厚み方向に沿って貫通して、固化する前の流動性を有している状態の前記ハウジング2の成型材料である封止樹脂を通過させるための穴53が複数個、本実施形態においては8個設けられている。これら8個の穴53は、本実施形態においては四角形状に形成されてい

る。

30

【0094】本実施形態の半導体装置の製造方法によれば、この接続ストラップ52は、図6(c)で示したように、前述した第1実施形態の接続ストラップ6を形成する工程において、接続ストラップを成型する型を交換するだけで、所定の長さに切り出されたアルミニウム製の板材9から容易に形成することができる。

【0095】また、本実施形態の半導体装置の製造方法によれば、この接続ストラップ52も、その電極側接続部分52aとリードフレーム側接続部分52bとが、超

50

音波接合によって半導体素子5のソース電極4s、およびリードフレーム側接続部分22bをリードフレーム3のソース側端子3sのソース側ポスト部7sに、それ直接かつ同時に電気的に接続される。

【0096】この第4実施形態の半導体装置41、および半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子5のソース電極4sとリードフレーム3のソース側端子3sのソース側ポスト部7sとが、流動性を有している状態の封止樹脂を通過させるための8個の四角形状に形成された穴53が、中間部52cをその厚み方向に沿って貫通して設けられている電流経路部材52によって接続されている本実施形態の半導体装置51、およびこの半導体装置51を製造する半導体装置の製造方法は、以下の点で優れている。

【0097】前述した第1実施形態の半導体装置の製造方法においては、接続ストラップ6によって電気的に接続された半導体素子5およびリードフレーム3と、B'bgワイヤ8などを、それらの周りから覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂(モールド樹脂)によってパッケージングしてハウジング2内に包み込むことにより、所望する半導体装置としてのSOP-8パッケージのMOSFET(パワーMOSFET)1を製造した。ところが、第1実施形態の接続ストラップ6や、この第5実施形態の接続ストラップ52は、アルミニウム製であり、一般に封止樹脂(モールド樹脂)として用いられているエポキシ系樹脂などと接着(密着)性が悪い。すなわち、アルミニウム製の接続ストラップ6および接続ストラップ52は、エポキシ系樹脂ののりが悪い。

【0098】したがって、略板形状に形成されている接続ストラップ6を、エポキシ系樹脂によってその周りから包み込むようにパッケージングすると、接続ストラップ6とハウジング2との間に図示しない隙間が生じるおそれがある。ひいては、ハウジング2に、その外部と内部とを連通するような、同じく図示しない亀裂が生じるおそれがある。接続ストラップ6とハウジング2との間に隙間が生じたり、あるいはハウジング2に亀裂が生じたりすると、これらの隙間や亀裂を伝わって、ハウジング2の外部の水分などが、ハウジング2の内部に浸入するおそれがある。ハウジング2の内部に水分が浸入すると、接続ストラップ6や、半導体素子5、あるいはリードフレーム3とのそれぞれの間で電気的短絡などが生じたり、あるいはそれに錆が生じたりして、MOSFET 1の電気的性能が著しく劣化するおそれがある。場合によっては、MOSFET 1が完全に作動しなくなるおそれがある。

【0099】ところが、本実施形態の半導体装置として

のMOSFET 5 1においては、半導体素子5のソース電極4 sと、リードフレーム3のソース側端子3 sのソース側ポスト部7 sとが、略板形状に形成されている接続ストラップ5 2によって接続されているとともに、この接続ストラップ5 2の中間部5 2 cには、電流経路部材5 2をその厚み方向に貫通するように、8個の四角形の穴5 3が設けられている。これにより、本実施形態の半導体装置の製造方法を実施するに当たり、接続ストラップ5 2によって電気的に接続された半導体素子5およびリードフレーム3と、B' gワイヤ8などを、それらの周りから覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂（モールド樹脂）によってパッケージングしてハウジング2内に包み込む際に、エポキシ系樹脂がそれら接続ストラップ5 2の中間部5 2 cに設けられた8個の四角形の穴5 3を通過する。すると、エポキシ系樹脂は、アルミニウム製の接続ストラップ5 2をその周囲からまんべんなく包み込むように、かつアルミニウム製の接続ストラップ5 2との間に隙間などが生じないように接続ストラップ5 2に密着しつつこれをパッケージングして、ハウジング2内に包み込む。

【0100】このように、接続ストラップ5 2の中間部5 2 cに8個の四角形の穴5 3を設けることにより、MOSFET 5 1のハウジング2内における接続ストラップ5 2とエポキシ系樹脂との接着（密着）性を向上させることができる。したがって、本実施形態のMOSFET 5 1は、そのハウジング2内に水分が浸入するおそれが殆ど無く、その耐水性（耐湿性）が大幅に向上されている。すなわち、本実施形態のMOSFET 5 1は、外敵環境に対する耐久性がより高く、その電気的動作性能の安定性、すなわち信頼性がより高められている。また、本実施形態の半導体装置の製造方法によれば、外敵環境に対する耐久性がより高く、その電気的動作性能の安定性、すなわち信頼性がより高められているMOSFET 5 1を生産できる。

【0101】以上説明したように、接続ストラップ5 2の中間部5 2 cに設けられた8個の四角形の穴5 3は、その効果から、パッケージング促進穴5 3とも称することができる。また、これら8個の穴（パッケージング促進穴）5 3は、それらの大きさ、形状、個数、および配置位置などが、接続ストラップ5 2の導電性を大きく妨げない程度に設定されて形成される。具体的には、これら8個の穴（パッケージング促進穴）5 3は、接続ストラップ5 2の配線抵抗値が、前述した第1実施形態の接続ストラップ6の配線抵抗値と略同等の大きさを保持できるように設定される。すなわち、実質的に第1実施形態の接続ストラップ6の中間部6 cに8個の穴（パッケージング促進穴）5 3を設けて形成された本実施形態の接続ストラップ5 2はその配線抵抗値の大きさが、第1実施形態の接続ストラップ6の配線抵抗値の大きさと同様に、従来品Aとしての従来技術のAuボンディングを

有するMOSFET 10 1の配線抵抗値と比較して、約80%も大幅に低減されている。つまり、本実施形態のMOSFET 5 1においても、8個の穴5 3が設けられている接続ストラップ5 2の配線抵抗値が、MOSFET 5 1全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0102】また、本実施形態のMOSFET 5 1に用いられる接続ストラップは、前記接続ストラップ5 2には限られない。前述したオン抵抗値の大きさを保持できるならば、例えば図12(a)～(e)に示すように、様々な種類の接続ストラップを使用することができる。それぞれを簡略して説明すると、まず、図12(a)の接続ストラップ5 4は、その中間部5 4 cに、これが半導体素子5のソース電極4 sと、リードフレーム3のソース側端子3 sのソース側ポスト部7 sとを接続する向きに沿って、4本のスリット形状の穴（パッケージング促進穴）5 5が設けられているものである。次に、図12(b)の接続ストラップ5 6は、その中間部5 6 cに、これが半導体素子5のソース電極4 sと、リードフレーム3のソース側端子3 sのソース側ポスト部7 sとを接続する向きに沿って、垂直な向きに、4本のスリット形状の穴（パッケージング促進穴）5 7が設けられているものである。図12(c)の接続ストラップ5 8は、その中間部5 8 cに6個の円形状の小さい穴（パッケージング促進穴）5 9が設けられているものである。図12(d)の接続ストラップ6 0は、その中間部6 0 cに、直径が0.8(mm)の円形状の穴（パッケージング促進穴）6 1が形成されている。また、この穴6 1は、図12(d)中Eで示すように、その穴6 1の中心C 1が接続ストラップ6 0のリードフレーム側接続部分6 0 bの縁部から1.1(mm)離された位置に配置されて形成されているものである。そして、最後に図12(e)の接続ストラップ6 2は、その中間部6 2 cに、直径が0.8(mm)の半円形状の穴（パッケージング促進穴）6 3が形成されている。それとともに、この接続ストラップ6 2は、穴6 3から接続ストラップ6 2のリードフレーム側接続部分6 2 bの縁部に向けて、図12(e)中Fで示すように、穴6 3の直径と同じ大きさの幅0.8(mm)で切り欠かれている。また、この接続ストラップ6 2は、穴6 3が、接続ストラップ6 2のリードフレーム側接続部分6 2 bの縁部から最も遠い部分が、図12(e)中Gで示すように、1.5(mm)となる位置に形成されている。

【0103】以上、図12(a)～(e)に示すように、様々な大きさ、形状、個数、および配置位置の穴5 5, 5 7, 5 9, 6 1, 6 3が設けられた各接続ストラップ5 4, 5 6, 5 8, 6 0, 6 2は、いずれも前述したオン抵抗値の大きさを保持できるように形成されているものである。

【0104】なお、本発明に係る半導体装置、および半導体装置の製造方法は、前述した第1～第5の実施の形

態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の構成の一部や、あるいは本発明に係る半導体装置の製造方法が有する各工程を、種々様々な状態に組み合わせて設定できる。

【0105】例えば、接続ストラップを、その電極側接続部分が半導体素子5のソース電極4 sに、またそのリードフレーム側接続部分がリードフレーム3のソース側端子3 sのソース側ポスト部7 sに、それぞれ直接接触するように接続する方法は、超音波接合には限られない。例えば、抵抗溶接や、あるいは圧着でもよい。また、この接続作業を行う際に、接続ストラップの電極側接続部分およびリードフレーム側接続部分を、それぞれ同時に半導体素子5のソース電極4 s、およびリードフレーム3のソース側端子3 sのソース側ポスト部7 sに接続せずに、それらのどちらか一方から接続しても構わない。また、接続ストラップを形成する材料は、アルミニウム以外にも、銅や金など導電性の高い金属材料を用いても構わない。

【0106】また、本発明に係る半導体装置が備える半導体素子は、前記第1～第5の各実施形態においては、それらの両端面にソース電極、ゲート電極、およびドレン電極がそれぞれ1個ずつ設けられている、いわゆる1層構造としたが、多層構造のものを用いても何ら差し支えない。リードフレーム3に接続する電極4が半導体素子の両端面（表裏面）等に露出していれば、それら各電極と各リードフレーム3とを、前記各接続ストラップ6, 22, 32, 42, 52などを用いて、前述した本発明の各実施形態の半導体装置の製造方法によって容易かつ選択的に、電気的に接続できる。

【0107】同様に、本発明に係る半導体装置の製造方法によって製造される半導体装置が備える半導体素子は、その内部に設けられているデバイスの個数が1個でも、あるいは複数個でも構わない。

【0108】また、本発明に係る半導体装置が備える電極は、1種類につき1個でなくとも良い。例えば、半導体装置が具備する半導体素子のソース電極、ゲート電極、およびドレン電極が、それぞれ複数個ずつ設けられてもよい。このような場合においても、それら各電極と各リードフレーム3とを、前記各接続ストラップ6, 22, 32, 42, 52などを用いて、前述した本発明の各実施形態の半導体装置の製造方法によって容易かつ選択的に、電気的に接続できる。

【0109】さらに、第5実施形態において略板形状に形成されている接続ストラップ52, 54, 56, 58, 60, 62に形成した各種の穴53, 55, 57, 59, 61, 63を、第2実施形態の3個の長尺の略板（帶）形状に形成された接続ストラップ22のそれぞれの中間部22cに設けても構わない。あるいは、それら各種の穴53, 55, 57, 59, 61, 63を、第4実施形態の接続ストラップ42の略アーチ形状に形成さ

れた中間部42cに設けても構わない。これらの場合も、各接続ストラップ22, 42が、いずれも前述したオン抵抗値の大きさを保持できればよい。

【0110】

【発明の効果】本発明に係る半導体装置によれば、電極とリードフレームとの間の電流の流路断面積が拡大されるので、電極とリードフレームとの間における抵抗を下げることができる。また、チップエッジタッチなどによる電気的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれを低減できる。したがって、本発明に係る半導体装置は、省電力で作動可能であるとともに、電気的性能が安定しており、かつ耐久性が高い。

【0111】また、本発明に係る半導体装置を実施するにあたり、電極とリードフレームとの間における抵抗をより下げることができるとともに、電気的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれをより低減できる。したがって、本発明に係る半導体装置を、より省電力で作動可能であるとともに、電気的性能がより安定しており、かつ耐久性がより高いものとすることができる。

【0112】また、本発明に係る半導体装置の製造方法によれば、半導体装置の電極とリードフレームとの間の電流の流路断面積を拡大して、電極とリードフレームとの間における抵抗を下げることができ。また、チップエッジタッチなどによる電気的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれを低減できる。したがって、本発明に係る半導体装置の製造方法は、省電力で作動可能であるとともに、電気的性能が安定しており、かつ耐久性が高い半導体装置を製造することができる。

【0113】また、本発明に係る半導体装置の製造方法を実施するにあたり、半導体装置の電極とリードフレームとの間における抵抗をより下げることができるとともに、電気的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電気的性能が不安定になるおそれをより低減できる。したがって、本発明に係る半導体装置の製造方法は、より省電力で作動可能であるとともに、電気的性能がより安定しており、かつ耐久性がより高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の概観を示す斜視図。

【図2】(a)は、図1中A-A線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

(b)は、図1中B-B線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

【図3】図1の電流経路部材のオン抵抗と従来の技術にかかる電流経路部材のオン抵抗とを比較して示す図。

【図4】図1の電流経路部材のオン抵抗の形状依存性を示し、(a)は、電流経路部材の厚さに対する電流経路部材のオン抵抗、(b)は、電流経路部材の幅に対する電流経路部材のオン抵抗、をそれぞれ示す図。

【図5】図1の電流経路部材および従来の技術にかかる2種類の電流経路部材のそれぞれの温度サイクルテストによる信頼性を比較して示す図。

【図6】本発明の第1の実施の形態に係る半導体装置の製造方法を示し、(a)は、電流経路部材を材料から切り出す前の状態、(b)は、電流経路部材が材料から切り出された後の状態、(c)は、図6(b)の電流経路部材を図1の半導体装置に用いられる形状に形成した状態、(d)は、図6(b)の電流経路部材を他の形状に形成した状態、(e)は、図6(b)の電流経路部材をさらに他の形状に形成した状態、をそれぞれ示す工程図。

【図7】本発明の第1の実施の形態に係る半導体装置の製造方法を示し、(a)は、図6(c)の電流経路部材を接合ホーンによって真空吸着した状態、(b)は、図7(a)の状態の電流経路部材を半導体素子のソース電極およびリードフレームのソース側端子のソース側ポスト部のそれぞれに同時に超音波接合している状態、(c)は、図6(c)の電流経路部材が半導体素子のソース電極およびリードフレームのソース側端子のソース側ポスト部のそれぞれに超音波接合された状態、をそれぞれ示す工程図。

【図8】本発明の第2の実施の形態に係る半導体装置の内部構造の主要部分を示す断面図。

【図9】本発明の第3の実施の形態に係る半導体装置の内部構造の主要部分を示す断面図。

【図10】本発明の第4の実施の形態に係る半導体装置の内部構造の主要部分を示す断面図。

【図11】本発明の第5の実施の形態に係る半導体装置の内部構造の主要部分を示し、(a)は、厚み方向に対して垂直に切断した場合、(b)は、厚み方向に沿って切断した場合、をそれぞれ示す断面図。

【図12】図11の半導体装置に用いられる電流経路部*

*材の種類を示し、(a)は、4本のスリットが設けられている場合、(b)は、3本のスリットが設けられている場合、(c)は、6個の円形の小穴が設けられている場合、(d)は、1個の円形の穴が設けられている場合、(e)は、半円形の穴およびこの穴に連続する切り欠き部が設けられている場合、をそれぞれ示す平面図である。

【図13】従来の技術に係る半導体装置の概観を示す斜視図。

【図14】(a)は、図13中X-X線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。(b)は、図13中Y-Y線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

【図15】(a)は、従来の技術に係る他の半導体装置をその厚み方向に対して垂直に切断した場合の半導体装置の内部構造の主要部分を示す断面図。(b)は、従来の技術に係る他の半導体装置をその厚み方向に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

20 【符号の説明】

1, 21, 31, 41, 51…MOSFET (パワーMOSFET、半導体装置)

2…ハウジング

3…リードフレーム

4…電極

4g…ゲート電極 (ゲートパット)

4s…ソース電極 (ソースパット)

5…半導体素子

6, 13, 14, 22, 32, 42, 52, 54, 5

30 6, 58, 60, 62…接続ストラップ (A1ストラップ、電流経路部材)

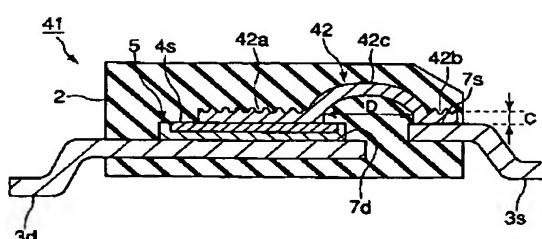
6a, 22a, 32a, 42a, 52a…電極側接続部分

6b, 22b, 32b, 42b, 52b, 60b, 62b…リードフレーム側接続部分

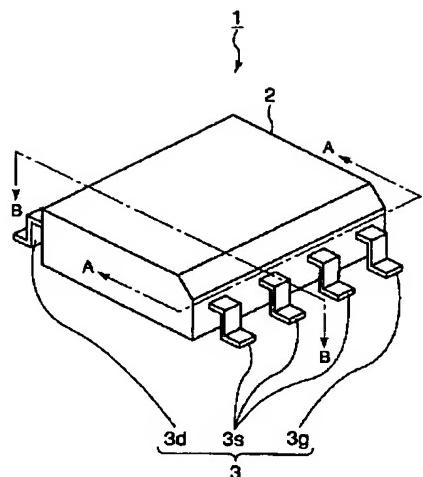
6c, 22c, 42c, 52c, 54c, 56c, 58c, 60c, 62c…ビーム部 (中間部)

53, 55, 57, 59, 61, 63…パッケージング促進穴 (穴)

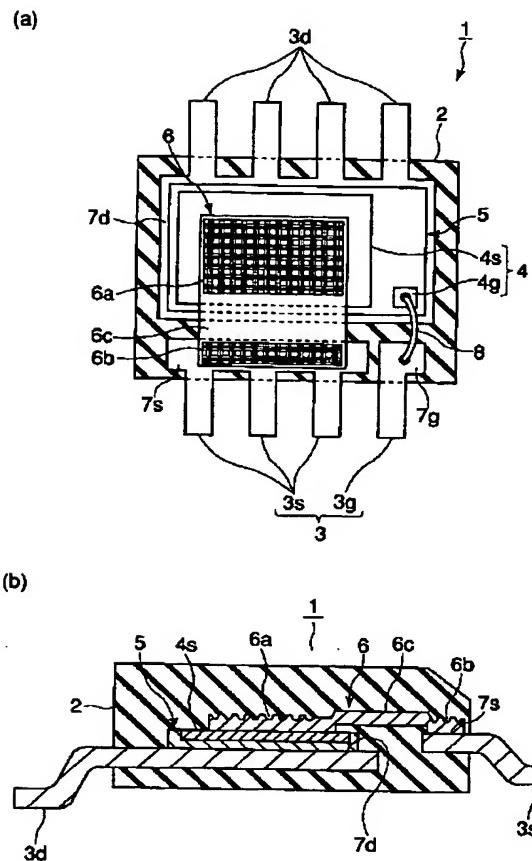
【図10】



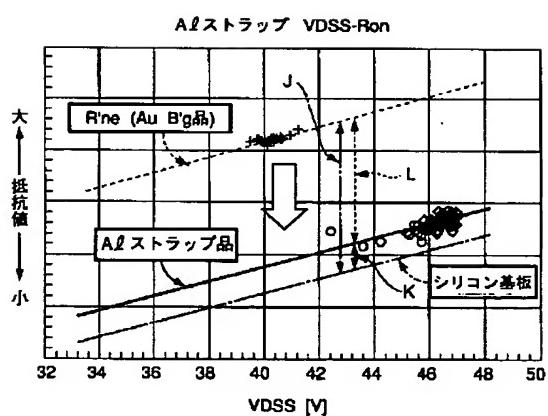
【図1】



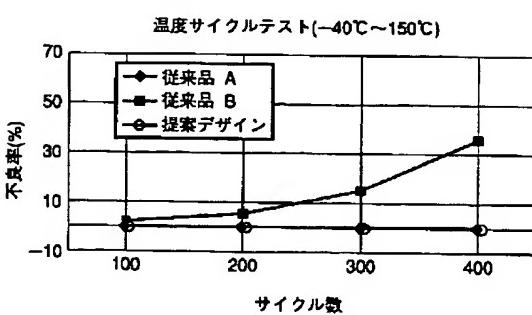
【図2】



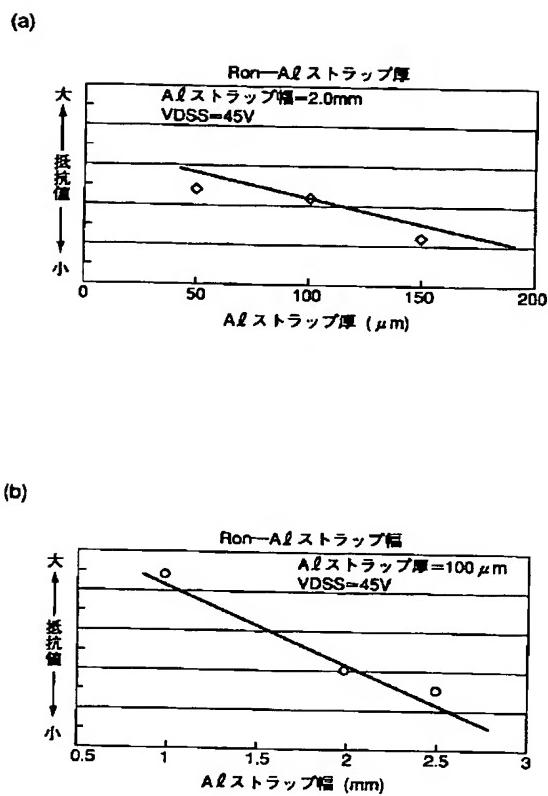
【図3】



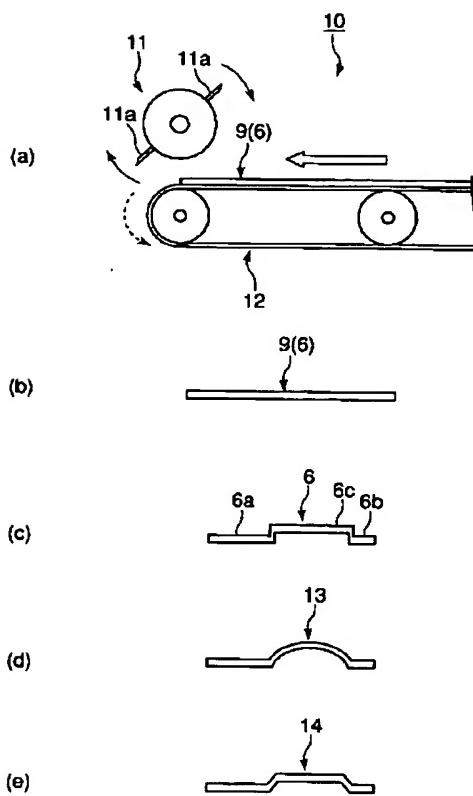
【図5】



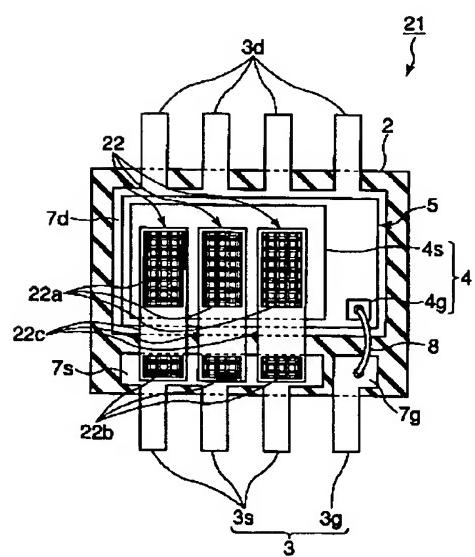
[図4]



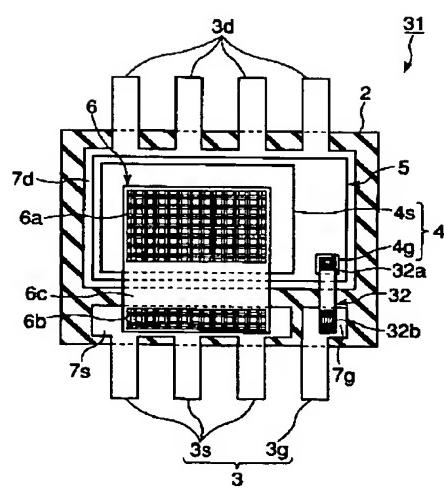
〔図6〕



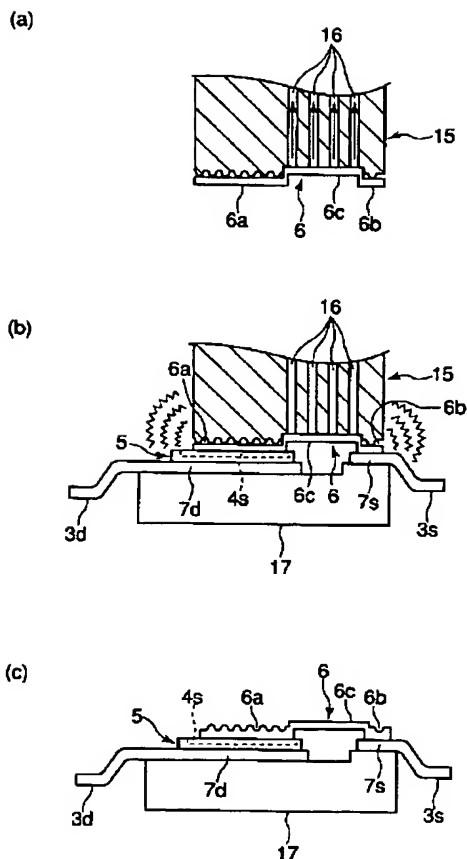
〔図8〕



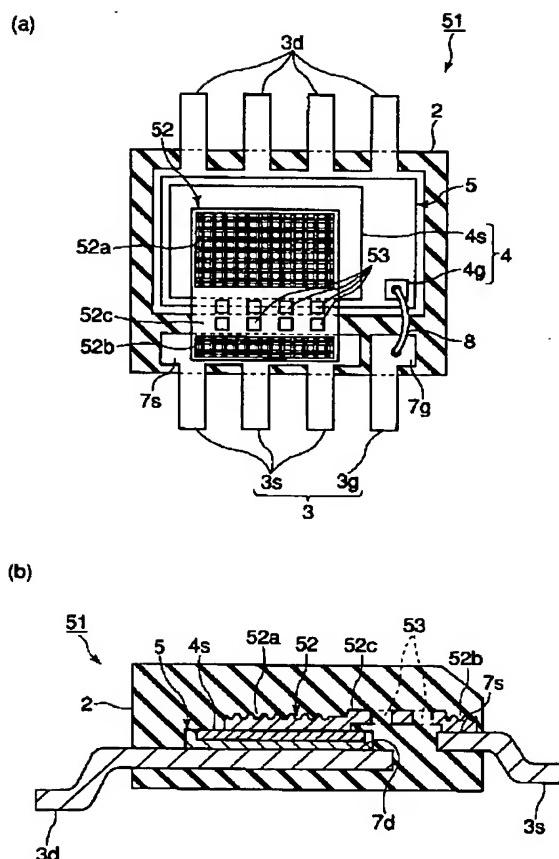
【图9】



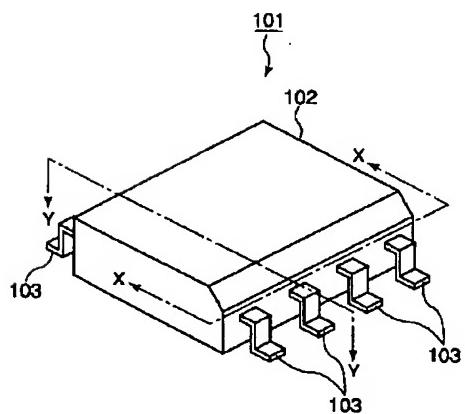
【図7】



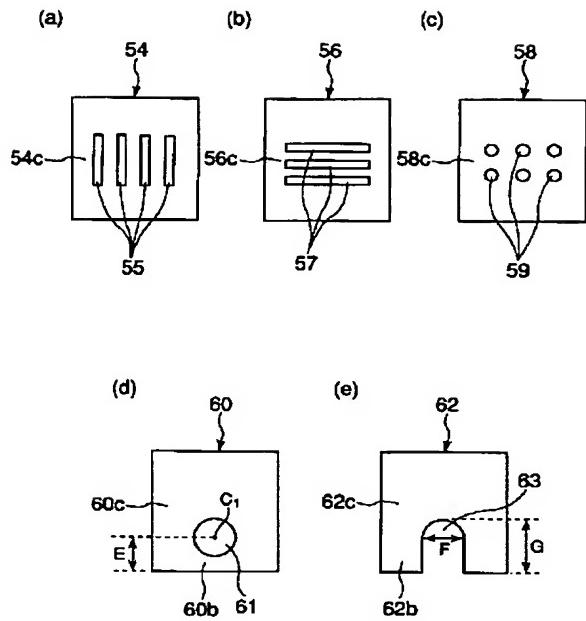
【図11】



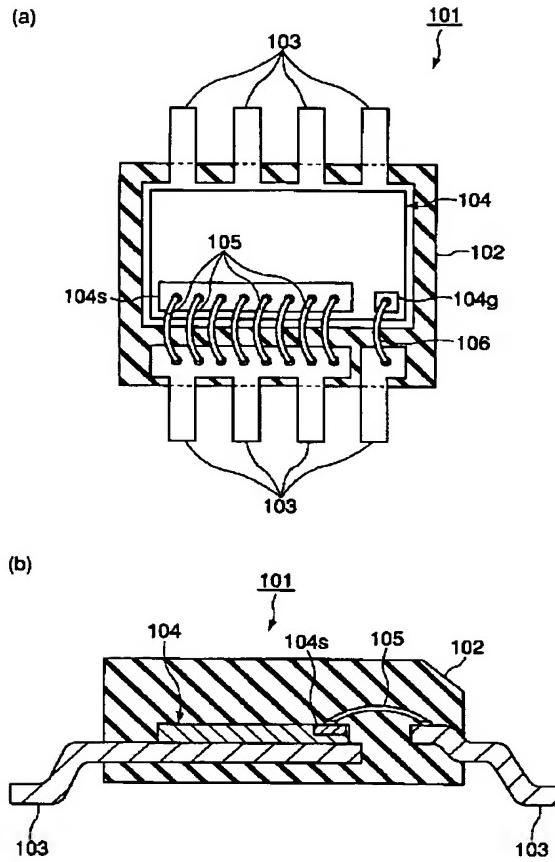
【図13】



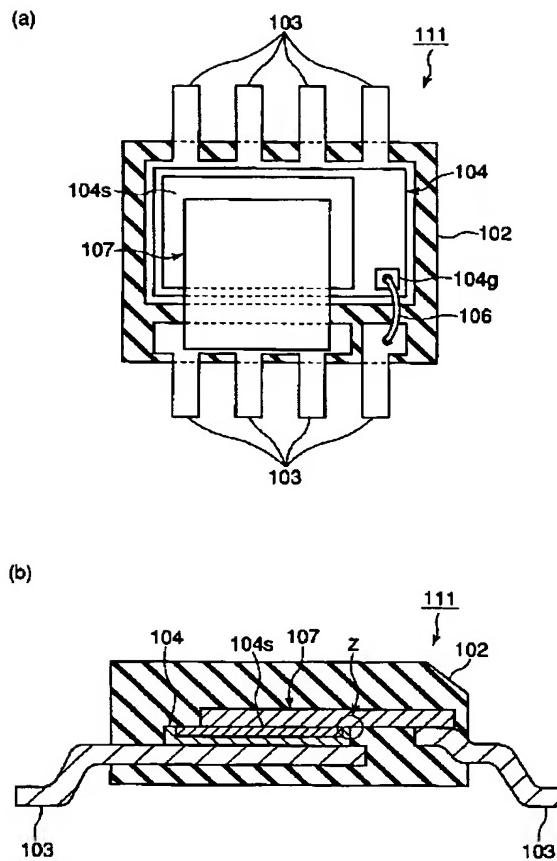
【図12】



【図14】



【図15】



フロントページの続き

(72) 発明者 難波 正孝

兵庫県揖保郡太子町鶴300番地 株式会社
東芝姫路半導体工場内

Fターム(参考) 5F044 RR04 RR08